

EDA技术实用教程

第7章

MCU与FPGA片上系统开发

7.1 FPGA扩展MCU开发技术

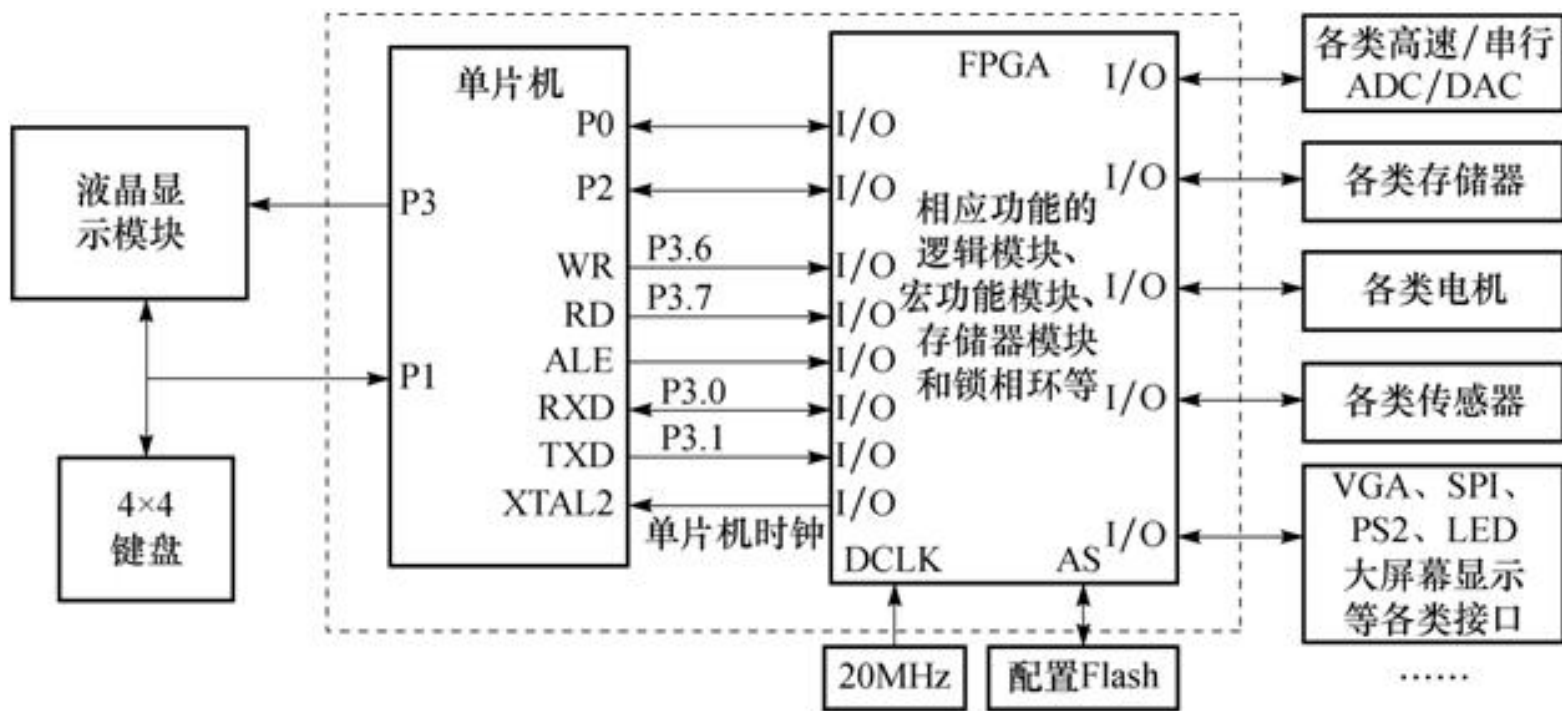


图 7-1 FPGA 与单片机的扩展系统设计模型图

7.1 FPGA扩展MCU开发技术

7.1.1 FPGA扩展方案及其系统设计技术

1. 单片机与FPGA的口线连接
2. FPGA测控对象的接口安排
3. 单片机与液晶显示及键盘的接口
4. 设计步骤与流程

7.1 FPGA扩展MCU开发技术

7.1.2 基于单片机IP软核的SOC设计方案

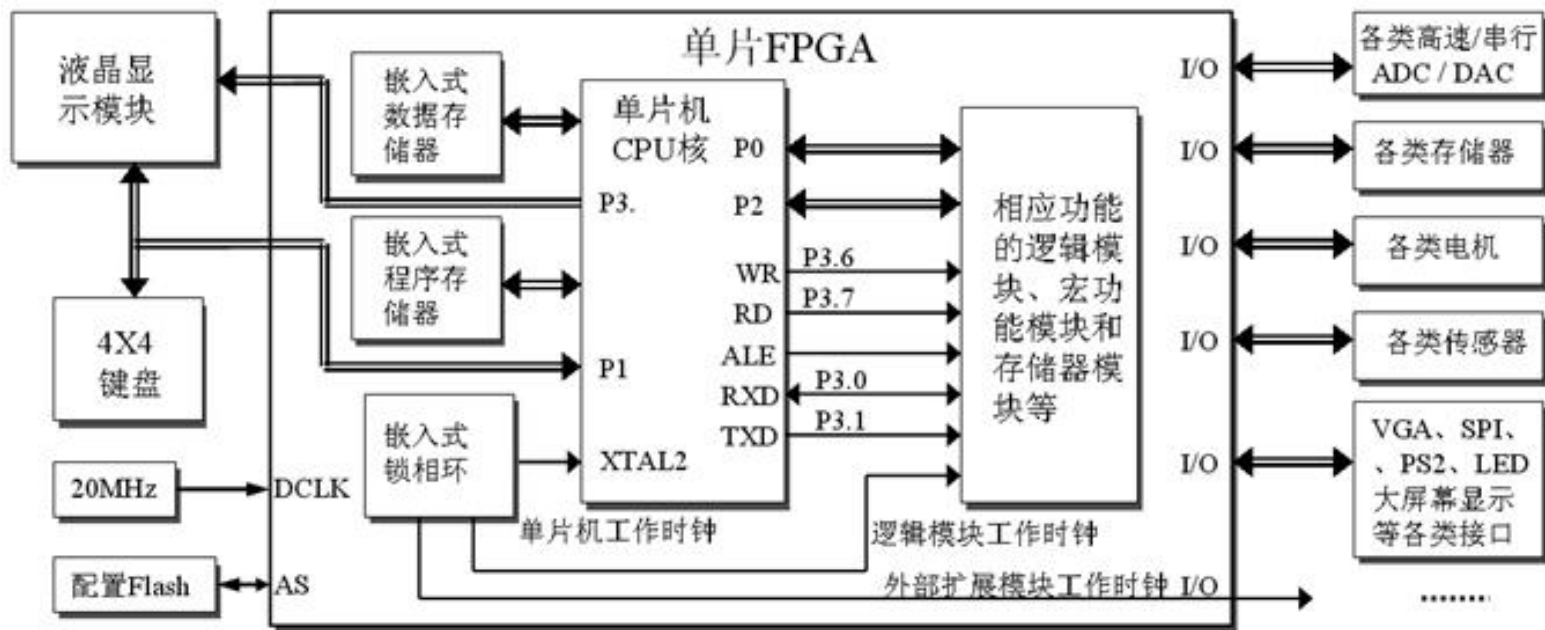


图 7-2 单片 FPGA 的 SOC 系统模块图

7.1 FPGA扩展MCU开发技术

7.1.2 基于单片机IP软核的SOC设计方案

1. 基于FPGA的SOC特点

- (1) 良好的抗干扰性能
- (2) 良好的速度性能
- (3) 开发效率高
- (4) 系统升级便捷

7.1 FPGA扩展MCU开发技术

7.1.2 基于单片机IP软核的SOC设计方案

2. 基于单片机核的FPGA片上系统开发

(1) 电平匹配

(2) 阻抗匹配

(3) 注意高速PCB板的设计

(4) 键盘与显示接口设计

7.2 基于单片机核的FPGA片上系统设计

1. CPU核及其端口信号

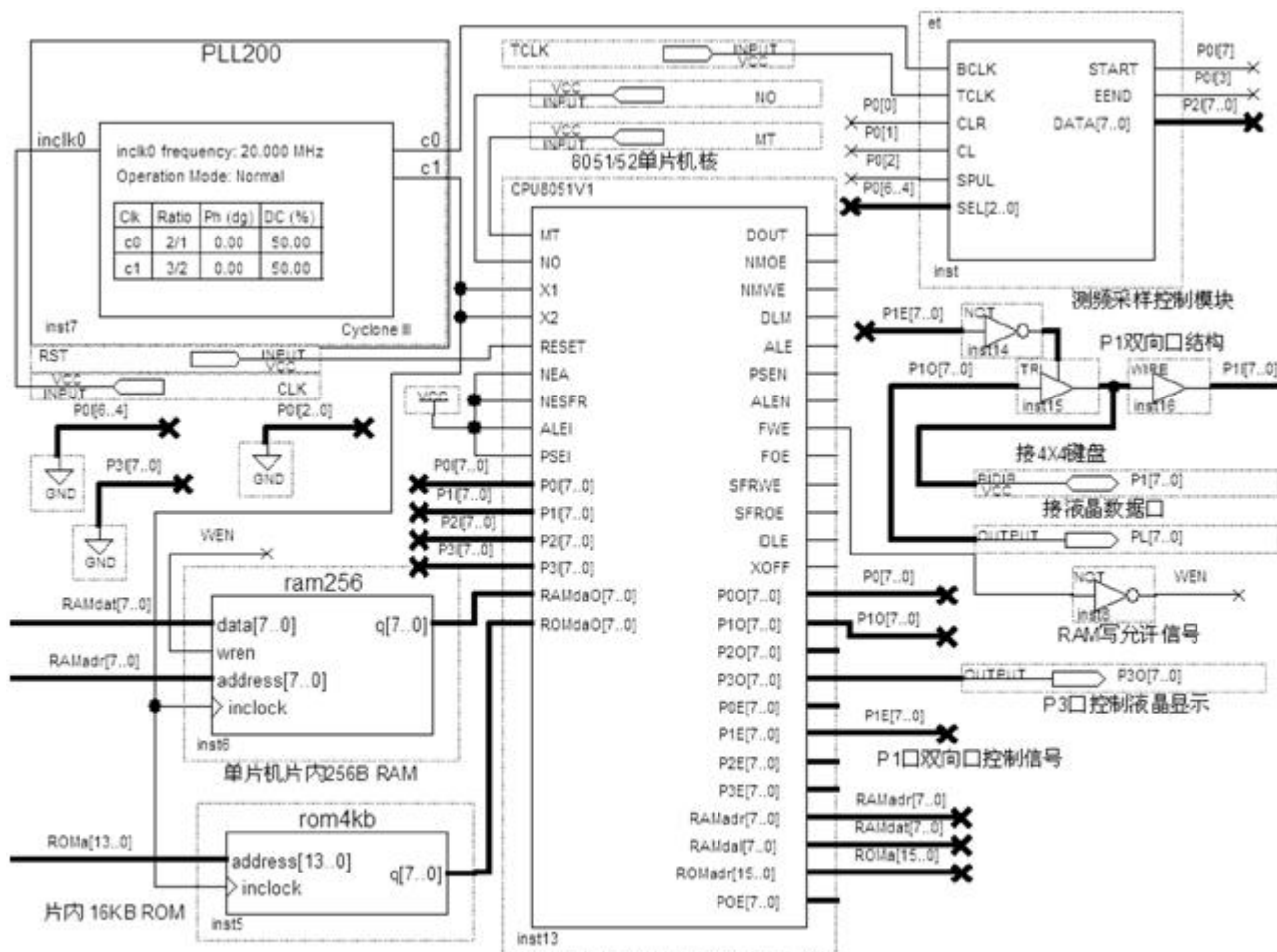


图 7-3 单片机核扩展了测频测脉宽控制脉宽的 FPGA 片上系统电路图

7.2 基于单片机核的FPGA片上系统设计

2. CPU核工作存储器

3. 扩展模块

4. 锁相环应用

5. 软件设计与调试

7.2 基于单片机核的FPGA片上系统设计

```
MULTI_CRT_EXPT\MCU_5iCORE_54
:串进并出/并进串出控制程序
RS EQU P3.2
RV EQU P3.3
E EQU P3.4
DAT EQU 3BH
DAT1 EQU 31H

ORG 0000H
MOV SP, #60H
MOV DAT, #01H
LCALL ENABLE
LCALL DISP3

MOV A, #40H
MOV B, #00H
LCALL DISP2

MOV A, #34H
MOV B, #01H
LCALL DISP2

MOV A, #33H
MOV B, #02H
```

图 7-4 汇编程序



图 7-5 用 In-System Memory Content Editor 下载汇编程序代码

实验与设计

7-1 脉宽/占空比/等精度频率多功能测试仪设计

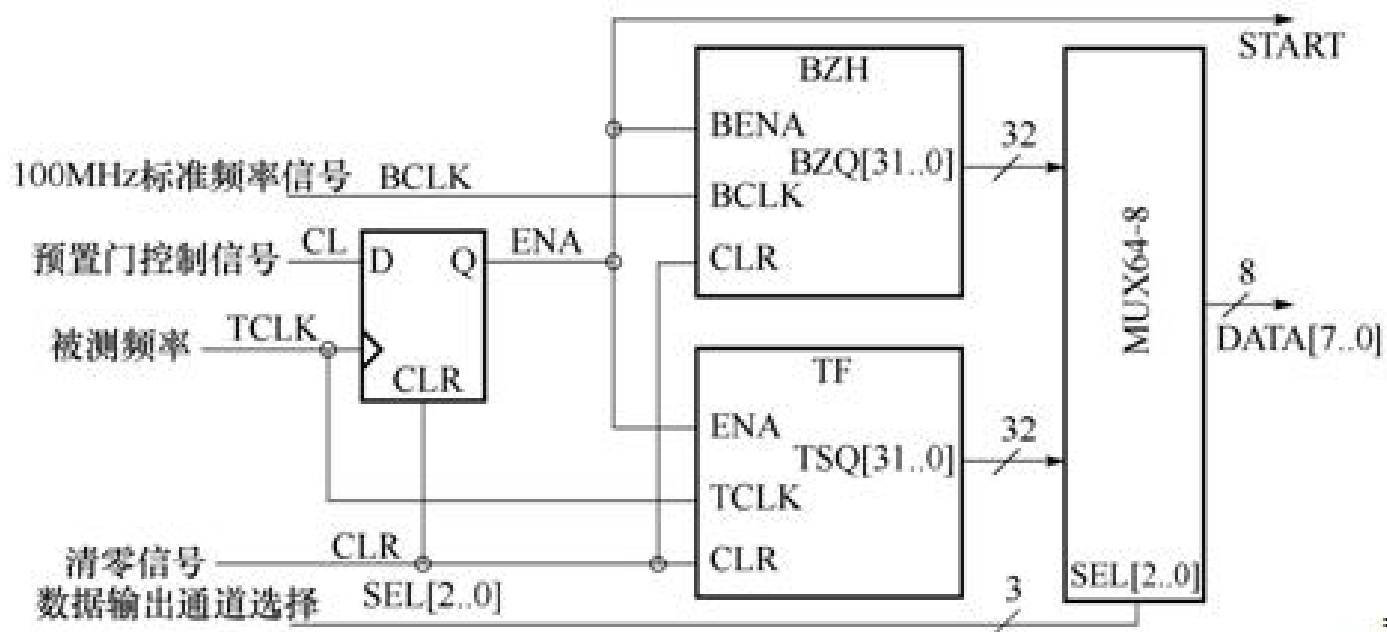


图 7-6 等精度频率计主控结构

实验与设计

7-1 脉宽/占空比/等精度频率多功能测试仪设计

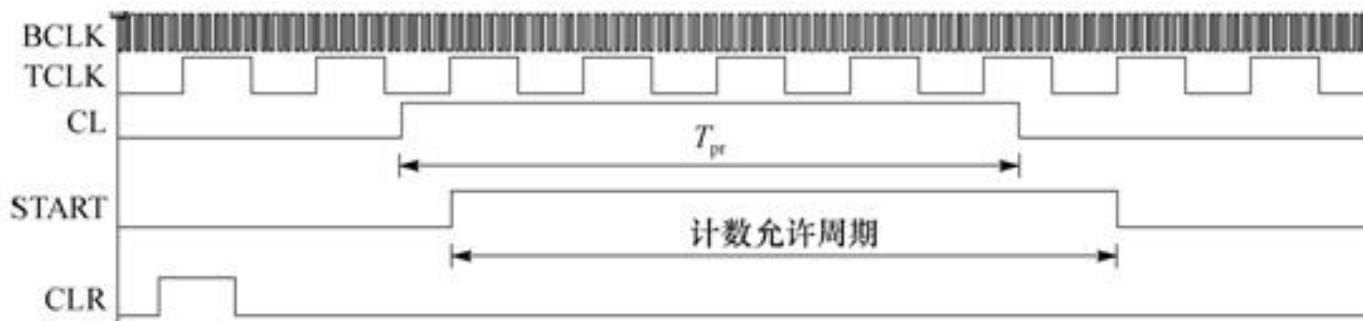


图 7-7 频率计测控时序

【例 12-1】

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY ET IS
    PORT (BCLK : IN STD_LOGIC; --标准频率时钟信号 clock2,
          TCLK : IN STD_LOGIC; --待测频率时钟信号
          CLR  : IN STD_LOGIC; --清零和初始化信号
    CL : IN STD_LOGIC; --当 SPUL 为高电平时, CL 为预置门控信号, 用于测频计数的时间控制,
    --当 SPUL 为低电平时, CL 为测脉宽控制信号: 高电平时测高电平脉宽, 低电平时测低电平脉宽
          SPUL : IN STD_LOGIC; --测频或测脉宽控制
          START : OUT STD_LOGIC; --起始计数标志信号
          EEND  : OUT STD_LOGIC; --由低电平变到高电平时指示脉宽计数结束
          SEL   : IN STD_LOGIC_VECTOR(2 DOWNTO 0); --数据读出选择控制
          DATA : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)); --8位数据读出
END ET;
ARCHITECTURE behav OF ET IS
    SIGNAL BZQ : STD_LOGIC_VECTOR(31 DOWNTO 0); --标准计数器
    SIGNAL TSQ : STD_LOGIC_VECTOR(31 DOWNTO 0); --测频计数器
    SIGNAL ENA : STD_LOGIC; --计数使能
    SIGNAL MA, CLK1, CLK2, CLK3 : STD_LOGIC;
    SIGNAL Q1, Q2, Q3, BENA, PUL : STD_LOGIC;
    SIGNAL SS : STD_LOGIC_VECTOR(1 DOWNTO 0);
```

```

BEGIN
START <= ENA ;
DATA <=BZQ(7  DOWNT0  0) WHEN SEL="000" ELSE  --标准频率计数低8位输出
      BZQ(15  DOWNT0  8) WHEN SEL="001" ELSE
      BZQ(23  DOWNT0 16) WHEN SEL="010" ELSE
      BZQ(31  DOWNT0 24) WHEN SEL="011" ELSE  --标准频率计数最高8位输出
      TSQ(7  DOWNT0  0) WHEN SEL="100" ELSE  --待测频率计数值最低8位输出
      TSQ(15  DOWNT0  8) WHEN SEL="101" ELSE
      TSQ(23  DOWNT0 16) WHEN SEL="110" ELSE
      TSQ(31  DOWNT0 24)WHEN SEL="111"ELSE  --待测频率计数值最高8位输出
      TSQ(31  DOWNT0 24) ;
BZH : PROCESS (BCLK, CLR) BEGIN  --标准频率测试计数器，标准计数器
      IF CLR = '1' THEN  BZQ<=(OTHERS=>'0');
      ELSIF BCLK'EVENT AND BCLK = '1' THEN
          IF BENA = '1' THEN  BZQ <= BZQ + 1;  END IF;
      END IF;
      END PROCESS;
TF : PROCESS (TCLK, CLR, ENA) BEGIN  --待测频率计数器，测频计数器
      IF CLR = '1' THEN  TSQ <= ( OTHERS=>'0' );
      ELSIF TCLK'EVENT AND TCLK = '1' THEN
          IF ENA='1' THEN  TSQ<=TSQ+1;  END IF;

```

```

    END IF;
END PROCESS;
PROCESS(TCLK, CLR) BEGIN
    IF CLR='1' THEN ENA<='0' ;
    ELSIF TCLK'EVENT AND TCLK='1' THEN ENA<=CL ; END IF;
END PROCESS;
MA<=(TCLK AND CL) OR NOT (TCLK OR CL) ; --测脉宽逻辑
CLK1<=NOT MA ; CLK2<=MA AND Q1 ; CLK3<=NOT CLK2; SS<=Q2 & Q3 ;
DD1: PROCESS(CLK1, CLR) BEGIN
    IF CLR='1' THEN Q1<='0' ;
    ELSIF CLK1'EVENT AND CLK1='1' THEN Q1<='1' ; END IF;
    END PROCESS;
DD2: PROCESS(CLK2, CLR) BEGIN
    IF CLR='1' THEN Q2<='0' ;
    ELSIF CLK2'EVENT AND CLK2='1' THEN Q2<='1' ; END IF;
    END PROCESS;
DD3: PROCESS(CLK3, CLR) BEGIN
    IF CLR='1' THEN Q3<='0' ;
    ELSIF CLK3'EVENT AND CLK3='1' THEN Q3<='1' ; END IF;
    END PROCESS;
PUL<='1' WHEN SS="10" ELSE --当SS="10"时, PUL高电平, 允许标准计数器计数
    '0' ; --禁止计数
EEND<='1' WHEN SS="11" ELSE --EEND为低电平时, 表示正在计数, 由低电平变到
    '0' ; --高电平时, 表示计数结束, 可以从标准计数器中读数据了
BENA<=ENA WHEN SPUL='1' ELSE --标准计数器时钟使能控制信号, SPUL为1时测频率
    PUL WHEN SPUL='0' ELSE --SPUL为0时测脉宽和占空比
    PUL ;
END behav;

```



实验与设计

7-1 脉宽/占空比/等精度频率多功能测试仪设计

$$\text{占空比} = \frac{N_1}{N_1 + N_2} \times 100\% \quad (7-1)$$

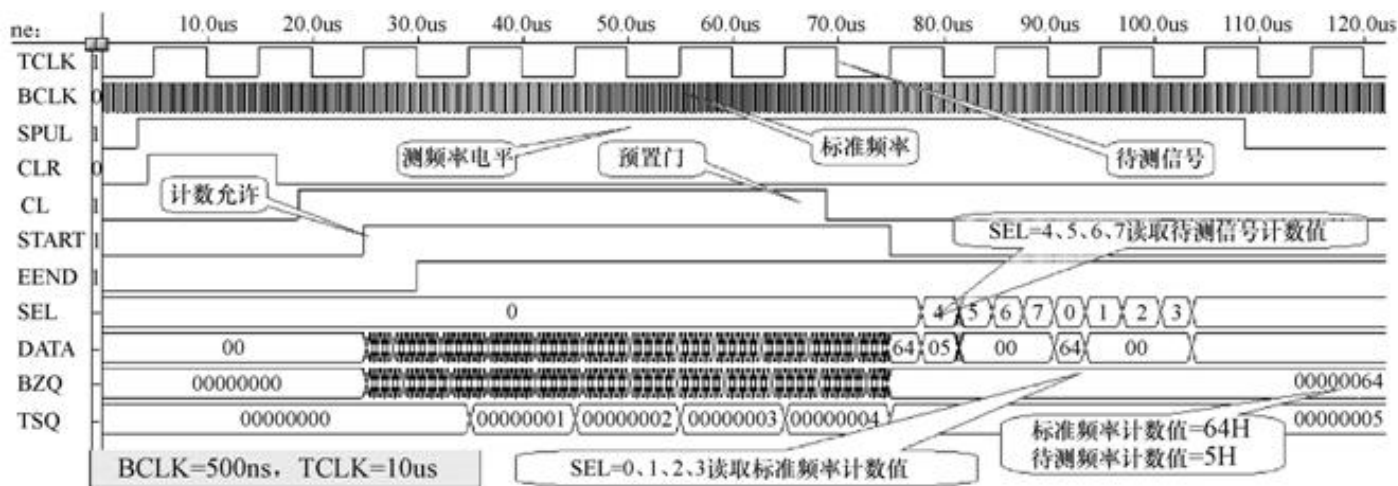


图 7-8 等精度频率计测频时序图

实验与设计

7-1 脉宽/占空比/等精度频率多功能测试仪设计

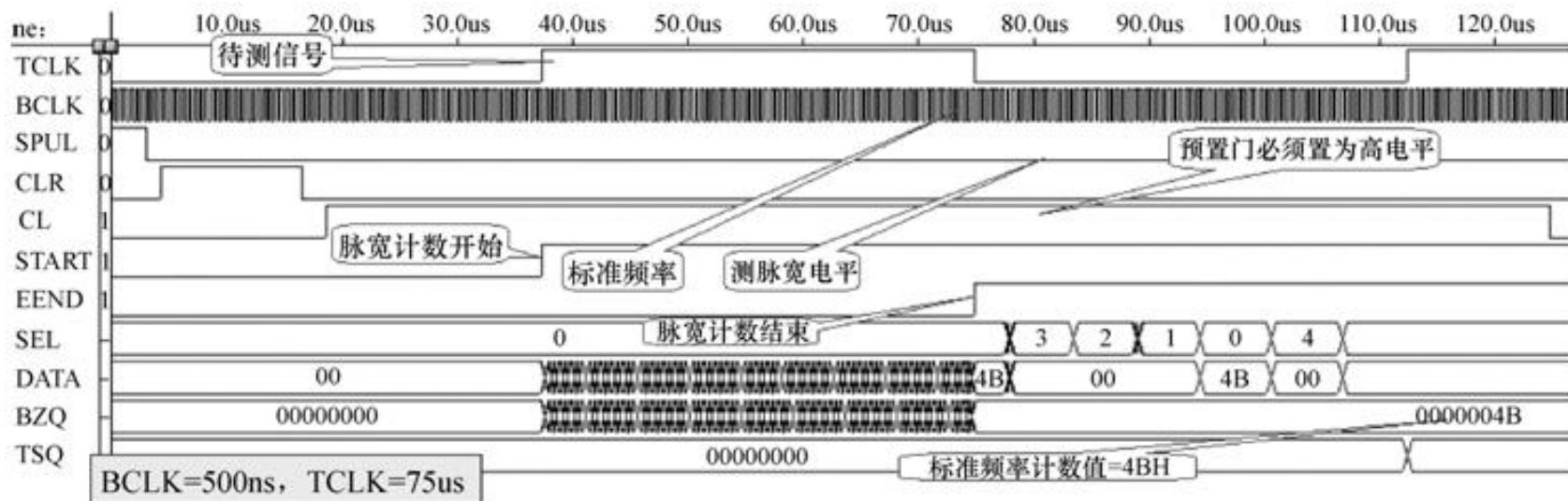


图 7-9 等精度频率计测脉宽时序图